日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００３年　４月２５日
出願番号 Application Number:	特願２００３－１２１６７３
[ST. 10/C]:	[ＪＰ２００３－１２１６７３]
出願人 Applicant(s):	セイコーエプソン株式会社

２００４年　２月２７日

特許庁長官
Commissioner,
Japan Patent Office　今井康夫

出証番号　出証特２００４－３０１４３８２

【書類名】　特許願

【整理番号】　J0095166

【提出日】　平成15年 4月25日

【あて先】　特許庁長官　殿

【国際特許分類】　G02F　1/133

G09G　3/30

G09G　3/36

【発明の名称】　薄膜半導体装置の製造方法、薄膜半導体装置、電気光学装置の製造方法、電気光学装置、並びに電子機器

【請求項の数】　6

【発明者】

【住所又は居所】　長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

【氏名】　世良　博

【特許出願人】

【識別番号】　000002369

【氏名又は名称】　セイコーエプソン株式会社

【代理人】

【識別番号】　100089037

【弁理士】

【氏名又は名称】　渡邊　隆

【代理人】

【識別番号】　100064908

【弁理士】

【氏名又は名称】　志賀　正武

【選任した代理人】

【識別番号】　100110364

【弁理士】

【氏名又は名称】　実広　信哉

【手数料の表示】

【予納台帳番号】　008707

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9910485

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　薄膜半導体装置の製造方法、薄膜半導体装置、電気光学装置の製造方法、電気光学装置、並びに電子機器

【特許請求の範囲】

【請求項１】　ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半導体装置の製造方法において、

基板上に、所定のパターンの半導体膜を形成する工程と、

前記半導体膜上に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、テーパー形状を有するゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、

前記ゲート電極を形成した前記基板上に、２種類以上の異なる絶縁膜を積層させ積層絶縁膜を形成する工程と、

前記積層絶縁膜の全面エッチングを行い、前記積層絶縁膜のうち少なくとも1層の絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、

所定のパターンに形成した前記積層絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする薄膜半導体装置の製造方法。

【請求項２】　前記積層絶縁膜を所定のパターンに形成する工程において、前記積層絶縁膜のうち少なくとも1層の絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成した後、異方性エッチングを行なうことを特徴とする請求項１に記載の薄膜半導体装置の製造方法。

【請求項３】　請求項１から２までのいずれか1項に記載の薄膜半導体の製造方法により製造された薄膜半導体装置であって、

少なくとも前記ゲート電極の上面および側面に沿って、前記絶縁膜が形成されて

いると共に、前記半導体の前記ソース領域と前記ドレイン領域には、各々、前記絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする薄膜半導体装置。

【請求項４】　ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半導体装置を備えた電気光学装置の製造方法において、

基板上に、所定のパターンの半導体膜を形成する工程と、

前記半導体膜上に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、テーパー形状を有するゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、

前記ゲート電極を形成した前記基板上に、２種類以上の異なる絶縁膜を積層させ積層絶縁膜を形成する工程と、

前記積層絶縁膜の全面エッチングを行い、前記積層絶縁膜のうち少なくとも1層の絶縁膜は前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、

所定のパターンに形成した前記積層絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする電気光学装置の製造方法。

【請求項５】　請求項４に記載の電気光学装置の製造方法により製造された電気光学装置であって、

少なくとも前記ゲート電極の上面及び側面に沿って、前記積層絶縁膜が形成されていると共に、前記半導体膜の前記ソース領域と前記ドレイン領域には、各々、前記積層絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする電気光学装置。

【請求項６】　請求項５に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、薄膜半導体装置の製造方法、薄膜半導体装置、電気光学装置の製造方法、電気光学装置、並びに電子機器に係り、特に、ＬＤＤ（Lightly Doped Drain）構造の薄膜半導体装置を製造する技術に関するものである。

【０００２】

【従来の技術】

液晶装置、エレクトロルミネッセンス（ＥＬ）装置、プラズマディスプレイ等の電気光学装置として、マトリクス状に配置された多数のドットを、ドット毎に駆動するために、各ドットに薄膜半導体装置であるＴＦＴを設けたアクティブマトリクス型の電気光学装置が知られている。また、かかる用途に用いられるＴＦＴとして、ソース領域とドレイン領域に、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域（ＬＤＤ領域）とが形成されたＬＤＤ構造のＴＦＴが知られているが、ＬＤＤ構造のＴＦＴでは、ＬＤＤ長（低濃度領域の形成幅）を精度良く制御することが重要である。

【０００３】

ここで、ＩＣ等の半導体素子の技術分野では、ゲート電極にサイドウォールを形成することにより、ＬＤＤ長を制御する技術が知られている（例えば、特許文献１～３参照）。以下、ｎチャネルＭＯＳトランジスタを製造する場合を例として、この技術について簡単に説明する。

【０００４】

はじめに、図１０（ａ）に示すように、シリコンウエハ２００にｐウェル２１０を形成した後、所定のパターンのゲート絶縁膜２０１と金属からなるゲート電極２０２とを順次形成する。次に、ゲート電極２０２をマスクとして、低濃度のｎ型不純物イオン３００を注入し、低濃度のソース領域２０３とドレイン領域２０４を形成する。

次に、図１０（ｂ）に示すように、シリコンウエハ２００の全面に絶縁膜２０５を形成した後、図１０（ｃ）に示すように、エッチバックにより、ゲート絶縁

膜２０１及びゲート電極２０２の側面にのみ絶縁膜２０５を残し、ゲート絶縁膜２０１及びゲート電極２０２にサイドウォール２０５ａを形成する。最後に、図１０（ｄ）に示すように、ゲート電極２０２及びサイドウォール２０５ａをマスクとして、高濃度のｎ型不純物イオン３０１を注入することにより、ソース領域２０３、ドレイン領域２０４において、サイドウォール２０５ａの直下に位置する部分に低濃度領域２０３ａ、２０４ａを残したまま、高濃度領域２０３ｂ、２０４ｂを形成することができる。

【０００５】

以上の方法によれば、ゲート絶縁膜２０１及びゲート電極２０２に、シリコンウエハ２００の全面に形成した絶縁膜２０５の膜厚に略等しい幅のサイドウォール２０５ａを形成することができ、このサイドウォール２０５ａの形成幅に略等しい低濃度領域（ＬＤＤ領域）２０３ａ、２０４ａを形成することができるので、形成する絶縁膜２０５の膜厚によりＬＤＤ長を制御することができ、ＬＤＤ長を精度良く制御することができる。

【０００６】

【特許文献１】

特開平５－１３６１６３号公報

【特許文献２】

特開平８－１２５１７８号公報

【特許文献３】

特開平１１－６８０９０号公報

【０００７】

【発明が解決しようとする課題】

しかしながら、以下に詳述するように、ＩＣ等の半導体素子の技術分野における上述の技術を電気光学装置の技術分野に適用することは極めて困難であり、実用化には到っていないのが現状である。

【０００８】

ＩＣ等の半導体素子では、ゲート電極の側面がゲート絶縁膜の表面に対して略垂直であるため、エッチバックにより、ゲート電極の側面に絶縁膜を残し、サイ

ドウォールを形成することができる。

ここで、ＩＣ等の半導体素子では、ゲート電極の膜厚が０．３μｍ程度、ＬＤＤ長が０．２μｍ程度のトランジスタを形成すれば良いのに対し、電気光学装置では、ゲート電極の膜厚が０．３～０．８μｍ程度、ＬＤＤ長が０．５～１．０μｍ程度とスケールの大きいＴＦＴを形成する必要があるため、ゲート電極の側面を略垂直形状に加工すること自体難しく、また、ゲート電極の側面を略垂直形状に加工できたとしても、後に形成する層間絶縁膜がゲート電極の側面に形成されにくくなるため、データ線やソース線等の配線が断線する恐れがある。そこで、電気光学装置では一般に、ゲート電極はテーパー状とされ、そのテーパー角は２０～８０°程度となっている。

【０００９】

そして、このように、テーパー状のゲート電極を形成した場合、ゲート電極を形成した基板上の全面に絶縁膜を形成し、エッチバックをかけても、絶縁膜がすべてエッチングされて残らないため、サイドウォールを形成することができない。また、仮に、ゲート電極の側面を略垂直形状に加工できたとしても、ＩＣ等の半導体素子における従来の技術では、形成する絶縁膜の膜厚がＬＤＤ長に略等しくなるため、０．５～１μｍ程度のＬＤＤ長を実現するためには、１μｍ程度の膜厚の絶縁膜を形成する必要がある。しかしながら、１μｍ程度と厚い絶縁膜を均一に成膜し、絶縁膜を精度良くエッチングすることは極めて困難であり、所望の形状のサイドウォールを精度良く形成することは極めて難しい。

そこで、本発明はかかる事情に鑑みてなされたものであり、ゲート電極の側面形状にかかわらず、精度良く０．５～１μｍ前後の大きなＬＤＤ長を実現可能な手段を提供することを目的とする。

【００１０】

【課題を解決するための手段】

本発明の薄膜半導体装置の製造方法は、ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半

導体装置の製造方法において、

基板上に、所定のパターンの半導体膜を形成する工程と、

前記半導体膜上に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、テーパー状のゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、

前記ゲート電極を形成した前記基板上に、２種類以上の絶縁膜により構成される積層絶縁膜を形成する工程と、

前記積層絶縁膜の全面エッチングを行い、少なくとも前記積層絶縁膜の内、１層の絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、

所定のパターンに形成した前記積層絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする。

【００１１】

すなわち、本発明の薄膜半導体装置の製造方法では、（１）テーパー状のゲート電極を形成した後、該ゲート電極をマスクとして、半導体膜に低濃度の不純物を注入することにより、半導体膜に低濃度のソース領域とドレイン領域を形成する構成としている。また、（２）このように半導体膜に低濃度のソース領域とドレイン領域を形成した後、ゲート電極を形成した基板上に２種類以上の絶縁膜により構成される２層以上の積層絶縁膜を形成する構成としている。また、（３）積層絶縁膜を全面エッチングすることにより、少なくとも1層の絶縁膜をゲート電極より幅広でかつ半導体膜より幅狭に形成された構成としている。そして、（４）所定の形状に形成した絶縁膜をマスクとして、半導体膜に高濃度の不純物を注入することにより、ソース領域とドレイン領域において、各々、絶縁膜の直下に位置する部分に低濃度領域を残したまま、絶縁膜の直下に位置しない部分に高濃度領域を形成することを特徴としている。

【００１２】

このように、本発明の薄膜半導体装置の製造方法では、半導体膜に低濃度のソース領域とドレイン領域を形成した後、ゲート電極を形成した基板上に、ゲート

電極より幅広でかつ半導体膜より幅狭の所定のパターンの絶縁膜を形成し、この絶縁膜をマスクとして、半導体膜に高濃度の不純物を注入する構成を採用しているので、ソース領域とドレイン領域において、各々、所定の形状に形成した絶縁膜のゲート電極より幅広に形成された部分の長さがＬＤＤ長に相当し、ＬＤＤ長を精度良く制御することができる。

【００１３】

また、本発明では、上記マスクとなる絶縁膜を、２種類以上の絶縁膜により構成される積層絶縁膜としている。このため、絶縁膜の種類、膜厚および層構造といった積層条件と、絶縁膜に対するエッチング条件等を制御することにより、絶縁膜の形状を制御し、これによってＬＤＤ長を制御することができる。

【００１４】

具体的には、前記積層絶縁膜をゲート電極より幅広でかつ半導体膜より幅狭の所定の形状の絶縁膜とするには、例えば、前記積層絶縁膜を形成する工程において、ゲート絶縁膜と異なる第一の絶縁膜をまず成膜した後に前記第一の絶縁膜と異なる第二の絶縁膜を成膜すると共に、全面エッチングの際にゲート絶縁膜と界面を有する前記第一の絶縁膜のエッチングレートが第二の絶縁膜に対して小さい条件にてエッチングを行えば良い。

或いは、前記積層絶縁膜を所定のパターンに形成する工程において、前記積層絶縁膜のうち少なくとも1層の絶縁膜を前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成した後、異方性エッチングを行なうことによっても、前記積層絶縁膜の形状をゲート電極より幅広でかつ半導体膜より幅狭とすることができる。

【００１５】

このように本発明の薄膜半導体装置の製造方法では、絶縁膜の膜厚、種類、積層構造、エッチング等の複数の条件により、ＬＤＤ長を制御することができるので、テーパー形状を持つゲート電極に対して必要なＬＤＤ長を確保することができる。また薄膜半導体装置においてはＩＣ素子と異なりＬＤＤ形成領域にはゲート絶縁膜が形成されているが、本発明では異なる２種類以上の絶縁膜を積層することで全面エッチング後のゲート絶縁膜の膜厚を必要分確保した状態に維持する

ことができる。したがって、例えば、ゲート絶縁膜上に形成されたテーパー形状を持つゲート電極において、ゲート絶縁膜と異なる第一の絶縁膜を成膜し、その上に前記第一の絶縁膜と異なる第二の絶縁膜を成膜後に全面エッチングすることでゲート絶縁膜を必要以上にエッチングすること無くＬＤＤ長を制御することができる。

【００１６】

また、前記積層絶縁膜はエッチング条件・膜構成・膜厚・積層数等で形状は制御できることから、様々な組み合わせにおいて、積層絶縁膜をゲート電極より幅広でかつ半導体膜より幅狭の所定のパターンの絶縁膜を形成することができる。

【００１７】

以上の本発明の薄膜半導体装置の製造方法は、単層の絶縁膜に対してエッチバックを採用した従来の技術ではサイドウォールを形成することができず、ＬＤＤ長を制御することができない、テーパー状のゲート電極を有する薄膜半導体装置、また、０．５～１μｍ程度の大きなＬＤＤ長を必要とする薄膜半導体装置に対して、特に有効である。なお、本明細書において、絶縁膜の「幅」とは、ＬＤＤ長方向の長さを意味しているものとする。

【００１８】

本発明の薄膜半導体装置は、以上の本発明の薄膜半導体装置の製造方法により製造された薄膜半導体装置であって、少なくとも前記ゲート電極の上面及び側面に沿って、前記積層絶縁膜が形成されていると共に、前記半導体膜の前記ソース領域と前記ドレイン領域には、各々、前記絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする。

本発明の薄膜半導体装置は、本発明の薄膜半導体装置の製造方法により製造されたものであるので、ゲート電極の側面形状やＬＤＤ長にかかわらず、ＬＤＤ長を精度良く制御することができ、耐圧性、電流－電圧特性等の性能に優れたものとなる。

【００１９】

また、本発明の薄膜半導体装置の製造方法は、ＩＣ等の半導体素子に比較してスケールの大きい薄膜半導体装置を形成する必要のある電気光学装置に対して、

特に有効である。

本発明の電気光学装置の製造方法は、ソース領域、チャネル領域、ドレイン領域を有する半導体膜と、該半導体膜とゲート絶縁膜を介して対向したゲート電極とを具備すると共に、前記ソース領域と前記ドレイン領域には、各々、不純物濃度が相対的に高い高濃度領域と相対的に低い低濃度領域とが形成された薄膜半導体装置を備えた電気光学装置の製造方法において、

基板上に、所定のパターンの半導体膜を形成する工程と、

前記半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、テーパー状のゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体膜に低濃度の不純物を注入する工程と、

前記ゲート電極を形成した前記基板上に、２種類以上の絶縁膜から構成される２層以上の絶縁膜からなる積層絶縁膜を形成する工程と、

前記積層絶縁膜の全面エッチングを行い、前記積層絶縁膜のうち少なくとも1層の絶縁膜が前記ゲート電極より幅広でかつ前記半導体膜より幅狭の所定のパターンに形成する工程と、

所定のパターンに形成した前記積層絶縁膜をマスクとして、前記半導体膜に高濃度の不純物を注入する工程とを有することを特徴とする。

【００２０】

本発明の電気光学装置の製造方法は、上記の本発明の薄膜半導体装置の製造方法を電気光学装置に適用したものであるから、本発明の電気光学装置の製造方法によれば、薄膜半導体装置を製造する際に、ゲート電極の側面形状やＬＤＤ長にかかわらず、ＬＤＤ長を精度良く制御することができる。

【００２１】

本発明の電気光学装置は、本発明の電気光学装置の製造方法により製造された電気光学装置であって、少なくとも前記テーパー状のゲート電極の上面及び側面に沿って、前記絶縁膜が形成されていると共に、前記半導体膜の前記ソース領域と前記ドレイン領域には、各々、前記絶縁膜の前記ゲート電極より幅広に形成された部分に対応して、前記低濃度領域が形成されていることを特徴とする。

本発明の電気光学装置は、本発明の電気光学装置の製造方法により製造されたものであるので、ゲート電極の側面形状やＬＤＤ長にかかわらず、ＬＤＤ長を精度良く制御することができ、性能に優れた薄膜半導体装置を備えたものとなる。

また、本発明の電気光学装置を備えることにより、性能に優れた電子機器を提供することができる。

【００２２】

【発明の実施の形態】

次に、本発明に係る実施形態について詳細に説明する。

（電気光学装置の構造）

図１～図３に基づいて、本発明に係る実施形態の電気光学装置の構造について説明する。本実施形態では、スイッチング素子としてＴＦＴ（薄膜半導体装置）を用いたアクティブマトリクス型の透過型液晶装置を例として説明する。

図１は本実施形態の液晶装置の画像表示領域を構成するマトリクス状に配置された複数のドットにおけるスイッチング素子、信号線等の等価回路図、図２はデータ線、走査線、画素電極等が形成されたＴＦＴアレイ基板の１ドットを拡大して示す平面図、図３は本実施形態の液晶装置の構造を示す断面図であって、図２のＡ－Ａ’線断面図である。なお、図３においては、図示上側が光入射側、図示下側が視認側（観察者側）である場合について図示している。また、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせてある。

【００２３】

本実施形態の液晶装置において、図１に示すように、画像表示領域を構成するマトリクス状に配置された複数のドットには、画素電極９と当該画素電極９を制御するためのスイッチング素子であるＴＦＴ（薄膜半導体装置）３０がそれぞれ形成されており、画像信号が供給されるデータ線６ａが当該ＴＦＴ３０のソースに電気的に接続されている。データ線６ａに書き込む画像信号Ｓ１、Ｓ２、…、Ｓｎは、この順に線順次に供給されるか、あるいは相隣接する複数のデータ線６ａに対してグループ毎に供給される。

【００２４】

また、走査線３ａがＴＦＴ３０のゲートに電気的に接続されており、複数の走査線３ａに対して走査信号Ｇ１、Ｇ２、…、Ｇｍが所定のタイミングでパルス的に線順次で印加される。また、画素電極９はＴＦＴ３０のドレインに電気的に接続されており、スイッチング素子であるＴＦＴ３０を一定期間だけオンすることにより、データ線６ａから供給される画像信号Ｓ１、Ｓ２、…、Ｓｎを所定のタイミングで書き込む。

【００２５】

画素電極９を介して液晶に書き込まれた所定レベルの画像信号Ｓ１、Ｓ２、…、Ｓｎは、後述する共通電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ここで、保持された画像信号がリークすることを防止するために、画素電極９と共通電極との間に形成される液晶容量と並列に蓄積容量６０が付加されている。

【００２６】

図３に示すように、本実施形態の液晶装置は、液晶層５０を挟持して対向配置され、ＴＦＴ３０や画素電極９が形成されたＴＦＴアレイ基板１０と、共通電極２１が形成された対向基板２０とを具備して概略構成されている。

【００２７】

以下、図２に基づいて、ＴＦＴアレイ基板１０の平面構造について説明する。

ＴＦＴアレイ基板１０には、矩形状の画素電極９が複数、マトリクス状に設けられており、図２に示すように、各画素電極９の縦横の境界に沿って、データ線６ａ、走査線３ａ及び容量線３ｂが設けられている。本実施形態において、各画素電極９及び各画素電極９を囲むように配設されたデータ線６ａ、走査線３ａ等が形成された領域が１ドットとなっている。

【００２８】

データ線６ａは、ＴＦＴ３０を構成する多結晶半導体膜１のうちソース領域１ｘに、コンタクトホール１３を介して電気的に接続されており、画素電極９は、多結晶半導体膜１のうちドレイン領域１ｙに、コンタクトホール１５、ソース線６ｂ、コンタクトホール１４を介して電気的に接続されている。また、走査線３

ａの一部が、多結晶半導体膜１のうちチャネル領域１ａに対向するように拡幅されており、走査線３ａの拡幅された部分が、ゲート電極として機能する。以下、走査線３ａにおいて、ゲート電極として機能する部分を単に「ゲート電極」と称し、符号３ｃで示す。また、ＴＦＴ３０を構成する多結晶半導体膜１は、容量線３ｂと対向する部分にまで延設されており、この延設部分１ｆを下電極、容量線３ｂを上電極とする蓄積容量（蓄積容量素子）６０が形成されている。

【００２９】

次に、図３に基づいて、本実施形態の液晶装置の断面構造について説明する。

ＴＦＴアレイ基板１０は、ガラス等の透光性材料からなる基板本体（透光性基板）１０Ａとその液晶層５０側表面に形成された画素電極９、ＴＦＴ３０、配向膜１２を主体として構成されており、対向基板２０はガラス等の透光性材料からなる基板本体２０Ａとその液晶層５０側表面に形成された共通電極２１と配向膜２２とを主体として構成されている。

【００３０】

詳細には、ＴＦＴアレイ基板１０において、基板本体１０Ａの直上に、シリコン酸化膜等からなる下地保護膜（緩衝膜）１１が形成されている。また、基板本体１０Ａの液晶層５０側表面にはインジウム錫酸化物（ＩＴＯ）等の透明導電性材料からなる画素電極９が設けられ、各画素電極９に隣接する位置に、各画素電極９をスイッチング制御する画素スイッチング用ＴＦＴ３０が設けられている。

【００３１】

下地保護膜１１上には、多結晶シリコンからなる多結晶半導体膜１が所定のパターンで形成されており、この多結晶半導体膜１上に、シリコン酸化膜等からなるゲート絶縁膜２が形成され、このゲート絶縁膜２上に、走査線３ａ（ゲート電極３ｃ）が形成されている。本実施形態では、ゲート電極３ｃの側面はゲート絶縁膜２の表面に対してテーパ状となっている。また、多結晶半導体膜１のうち、ゲート絶縁膜２を介してゲート電極３ｃと対向する領域が、ゲート電極３ｃからの電界によりチャネルが形成されるチャネル領域１ａとなっている。また、多結晶半導体膜１において、チャネル領域１ａの一方側（図示左側）には、ソース領域１ｘが形成され、他方側（図示右側）にはドレイン領域１ｙが形成されている

。そして、ゲート電極３ｃ、ゲート絶縁膜２、後述するデータ線６ａ、ソース線６ｂ、多結晶半導体膜１のソース領域１ｘ、チャネル領域１ａ、ドレイン領域１ｙ等により、画素スイッチング用ＴＦＴ３０が構成されている。

【００３２】

本実施形態において、画素スイッチング用ＴＦＴ３０は、ＬＤＤ構造を有するものとなっており、ソース領域１ｘ及びドレイン領域１ｙには、各々、不純物濃度が相対的に高い高濃度領域（高濃度ソース領域、高濃度ドレイン領域）と、相対的に低い低濃度領域（ＬＤＤ領域（低濃度ソース領域、低濃度ドレイン領域））が形成されている。以下、高濃度ソース領域、低濃度ソース領域を、符号１ｄ、１ｂで表し、高濃度ドレイン領域、低濃度ドレイン領域を、各々、符号１ｅ、１ｃで表す。

【００３３】

また、ゲート電極３ｃを形成したゲート絶縁膜２上には、少なくともゲート電極３ｃの上面（ゲート絶縁膜と反対側の面）及び側面に沿って、ゲート電極３ｃより幅広の第一の絶縁膜８ａ、第一の絶縁膜上に第二の絶縁膜８ｂが形成されており、ソース領域１ｘとドレイン領域１ｙには、各々、第一の絶縁膜８ａもしくは第二の絶縁膜８ｂのゲート電極３ｃより幅広に形成された部分に対応して、低濃度領域（ＬＤＤ領域）１ｂ、１ｃが形成されている。第一および第二の絶縁膜８ａおよび８ｂは、シリコン窒化膜やシリコン酸化膜等からなるが、第一の絶縁膜８ａにおいてはゲート絶縁膜２とは異なる絶縁性材料により構成されていることが好ましい。

以下、第一の絶縁膜、第二の絶縁膜からなる積層絶縁膜を８ｘで表す。

【００３４】

また、走査線３ａ（ゲート電極３ｃ）が形成された基板本体１０Ａ上には、シリコン酸化膜等からなる第１層間絶縁膜４が形成されており、この第１層間絶縁膜４上に、データ線６ａ及びソース線６ｂが形成されている。データ線６ａは、第１層間絶縁膜４に形成されたコンタクトホール１３を介して、多結晶半導体膜１の高濃度ソース領域１ｄに電気的に接続されており、ソース線６ｂは、第１層間絶縁膜４に形成されたコンタクトホール１４を介して、多結晶半導体膜１の高

濃度ドレイン領域１ｅに電気的に接続されている。

【００３５】

また、データ線６ａ、ソース線６ｂが形成された第１層間絶縁膜４上には、シリコン窒化膜等からなる第２層間絶縁膜５が形成されており、第２層間絶縁膜５上に、画素電極９が形成されている。画素電極９は、第２層間絶縁膜５に形成されたコンタクトホール１５を介して、ソース線６ｂに電気的に接続されている。

また、多結晶半導体膜１の高濃度ドレイン領域１ｅからの延設部分１ｆ（下電極）に対して、ゲート絶縁膜２と一体形成された絶縁膜（誘電体膜）を介して、走査線３ａと同層に形成された容量線３ｂが上電極として対向配置されており、これら延設部分１ｆと容量線３ｂにより蓄積容量６０が形成されている。

また、ＴＦＴアレイ基板１０の液晶層５０側最表面には、液晶層５０内の液晶分子の配列を制御するための配向膜１２が形成されている。

【００３６】

他方、対向基板２０においては、基板本体２０Ａの液晶層５０側表面に、液晶装置に入射した光が、少なくとも、多結晶半導体膜１のチャネル領域１ａ及び低濃度領域１ｂ、１ｃに入射することを防止するための遮光膜２３が形成されている。また、遮光膜２３が形成された基板本体２０Ａ上には、そのほぼ全面に渡って、ＩＴＯ等からなる共通電極２１が形成され、その液晶層５０側には、液晶層５０内の液晶分子の配列を制御するための配向膜２２が形成されている。

【００３７】

本実施形態の液晶装置は以上のように構成されており、本実施形態では、ＴＦＴ３０において、少なくともゲート電極３ｃの上面及び側面に沿って、所定のパターンの絶縁膜８ｘが形成されている点が特徴的なものとなっている。

【００３８】

（薄膜半導体装置の製造方法）

次に、図４～図８に基づいて、本実施形態の液晶装置に備えられたＴＦＴ（薄膜半導体装置）３０の製造方法について説明する。なお、ｎチャネル型のＴＦＴを製造する場合を例として説明する。図４～図８はいずれも、本実施形態のＴＦＴの製造方法を工程順に示す概略断面図である。

【００３９】

はじめに、図４（ａ）に示すように、基板本体１０Ａとして、超音波洗浄等により清浄化したガラス基板等の透光性基板を用意した後、基板温度が１５０～４５０℃となる条件下で、基板本体１０Ａの全面に、シリコン酸化膜等からなる下地保護膜（緩衝膜）１１をプラズマＣＶＤ法等により１００～５００ｎｍの厚さに成膜する。この工程において用いる原料ガスとしては、モノシランと一酸化二窒素との混合ガスや、ＴＥＯＳ（テトラエトキシシラン、Ｓｉ（ＯＣ$_2$Ｈ$_5$）$_4$）と酸素、ジシランとアンモニア等が好適である。

【００４０】

次に、図４（ｂ）に示すように、基板温度が１５０～４５０℃となる条件下で、下地保護膜１１を形成した基板本体１０Ａの全面に、非晶質シリコンからなる非晶質半導体膜１０１をプラズマＣＶＤ法等により３０～１００ｎｍの厚さに成膜する。この工程において用いる原料ガスとしては、ジシランやモノシランが好適である。次に、図４（ｃ）に示すように、非晶質半導体膜１０１に対して、レーザーアニールを施すなどして、非晶質半導体膜１０１を多結晶化し、多結晶シリコンからなる多結晶半導体膜を形成した後、該多結晶半導体膜をフォトリソグラフィー法によりパターニングし、島状の多結晶半導体膜１を形成する。

【００４１】

次に、図５（ａ）に示すように、３５０℃以下の温度条件下で、多結晶半導体膜１を形成した基板本体１０Ａ上に、シリコン酸化膜、シリコン窒化膜等からなるゲート絶縁膜２を３０～１５０ｎｍの厚さに成膜する。この工程において用いる原料ガスとしては、ＴＥＯＳと酸素ガスとの混合ガス等が好適である。

次に、図５（ｂ）に示すように、ゲート絶縁膜２を形成した基板本体１０Ａの全面に、スパッタリング法等により、アルミニウム、タンタル、モリブデン等、又はこれらのいずれかを主成分とする合金等からなる導電膜を成膜した後、フォトリソグラフィー法によりパターニングし、１００～８００ｎｍの厚さの走査線３ａ（ゲート電極３ｃ）を形成する。

【００４２】

次に、図５（ｃ）に示すように、ゲート電極３ｃをマスクとして、約０．１×

１０１３～約１０×１０１３／ｃｍ２のドーズ量で低濃度の不純物イオン（リンイオン）を注入し、ゲート電極３ｃに対して自己整合的に低濃度のソース領域１ｘとドレイン領域１ｙを形成する。この時、ゲート電極３ｃの直下に位置し、不純物イオンが導入されなかった部分はチャネル領域１ａとなる。

【００４３】

次に、図６（ａ）に示すように、ゲート電極３ｃを形成した基板本体１０Ａ上の全面に、ＣＶＤ法等により、シリコン窒化膜、シリコン酸化膜等からなる第一の絶縁膜１０８を１００～５００ｎｍの厚さに成膜する。この工程において、ゲート絶縁膜２とは異なる絶縁性材料からなる第一の絶縁膜１０８を形成することが好ましい。次に、図６（ｂ）に示すように、第一の絶縁膜１０８上に、ＣＶＤ法等により第一の絶縁膜１０８と異なる第二の絶縁膜１０９を１００～５００ｎｍの厚さに成膜した後、全面エッチングする事により、図６（Ｃ）に示すように、ゲート電極３ｃより幅広でかつ多結晶半導体膜１より幅狭の所定のパターンに形成する。図６（ｃ）では、パターニング後の絶縁膜１０８，１０９をそれぞれ符号８ａ，８ｂで示している。

【００４４】

なお、積層条件（膜種、膜厚、積層構造）やエッチング条件を制御することにより、テーパー形状のゲート電極についても０．５～１．０μｍの大きなＬＤＤ長を確保できる。

例えば、ゲート絶縁膜２と異なる第一の絶縁膜８ａを成膜後に、第一の絶縁膜８ａと異なる第二の絶縁膜８ｂを成膜する。その後、第一の絶縁膜８ａのエッチングレートが第二の絶縁膜８ｂよりも小さいエッチング条件で全面ドライエッチングによるエッチバックを実施すると、少なくともゲート電極３ｃの側面に沿って絶縁膜が残り、ゲート電極３ｃより幅広でかつ多結晶半導体膜１より幅狭の所定の第一の絶縁膜８ａおよび第二の絶縁膜８ｂからなる積層絶縁膜８ｘを形成することができる。この際、第一の絶縁膜１０８のエッチングレートが第二の絶縁膜１０９のエッチングレートよりも小さいため、単膜を使用した場合よりも幅広の絶縁膜をゲート電極に沿って残すことができ、大きなサイズのTFTを形成するには有利になる。

【００４５】

また、第一の絶縁膜８ａをゲート絶縁膜２と異なる材料により構成した場合には、第一の絶縁膜８ａのエッチングの終点が明確となり、オーバーエッチングする恐れがないため、好適である。

【００４６】

次に、図７（ａ）に示すように、所定のパターンに形成した絶縁膜８ｘをマスクとして、多結晶半導体膜１に対して、高濃度の不純物イオン（リンイオン）３２を約０．１×１０^{15}～約１０×１０^{15}／ｃｍ^{2}のドーズ量で注入する。これによって、ソース領域１ｘとドレイン領域１ｙにおいて、各々、絶縁膜８ｘの直下に位置する部分に低濃度領域１ｂ、１ｃを残したまま、高濃度領域１ｄ、１ｅを形成することができる。すなわち、ソース領域１ｘとドレイン領域１ｙにおいて、各々、所定のパターンに形成した絶縁膜８ｘのゲート電極３ｃより幅広に形成された部分の長さに略等しいＬＤＤ長を有する低濃度領域（ＬＤＤ領域）１ｂ、１ｃを自己整合的に形成することができる。

【００４７】

次に、図７（ｂ）に示すように、絶縁膜８ｘを形成した基板本体１０Ａ上の全面に、ＣＶＤ法等により、シリコン酸化膜等からなる第１層間絶縁膜４を３００～８００ｎｍの厚さに成膜する。この工程において用いる原料ガスとしては、ＴＥＯＳと酸素ガスとの混合ガス等が好適である。次に、レーザーアニール、炉アニール等によりアニールを行うことにより、ソース領域１ｘ（高濃度ソース領域１ｄ、低濃度ソース領域１ｂ）及びドレイン領域１ｙ（高濃度ドレイン領域１ｅ、低濃度ドレイン領域１ｃ）に注入された不純物の活性化を行う。

【００４８】

次に、図８（ａ）に示すように、所定のパターンのフォトレジスト（図示略）を形成した後、該レジストをマスクとして第１層間絶縁膜４のドライエッチングを行い、第１層間絶縁膜４において高濃度ソース領域１ｄ及び高濃度ドレイン領域１ｅに対応する部分にコンタクトホール１３、１４をそれぞれ形成する。

最後に、図８（ｂ）に示すように、第１層間絶縁膜４の全面に、アルミニウム、チタン、窒化チタン、タンタル、モリブデン等、又はこれらのいずれかを主成

分とする合金等からなる金属膜を、スパッタリング法等により成膜した後、フォトリソグラフィー法によりパターニングし、４００～８００ｎｍの厚さのデータ線６ａ及びソース線６ｂを形成し、ｎチャネル型のＴＦＴ３０を製造することができる。

【００４９】

以上説明したように、本実施形態のＴＦＴの製造方法では、多結晶半導体膜１に低濃度のソース領域１ｘとドレイン領域１ｙを形成した後、ゲート電極３ｃを形成した基板本体１０Ａ上に、2種類以上の絶縁膜から構成される積層絶縁膜８ｘとエッチング条件を制御することで、ゲート電極３ｃより幅広でかつ多結晶半導体膜１より幅狭の所定のパターンを形成し、該積層絶縁膜８ｘをマスクとして、多結晶半導体膜１に高濃度の不純物を注入する構成を採用しているので、ソース領域１ｘとドレイン領域１ｙにおいて、各々所定のパターンに形成した積層絶縁膜８のゲート電極３ｃより幅広に形成された部分の長さがＬＤＤ長に相当し、０．５～１．０μｍの大きなＬＤＤ長を形成することができる。

【００５０】

また、以上の製造方法により製造された本実施形態のＴＦＴ３０は、ゲート電極３ｃの側面形状やＬＤＤ長にかかわらず、ＬＤＤ長を精度良く制御することができ、耐圧性、電流－電圧特性等の性能に優れたものとなる。

【００５１】

以上、ＴＦＴ３０の製造方法についてのみ説明したが、本実施形態の液晶装置は、ＴＦＴ３０の製造プロセスを上述のものとする以外は、公知の製造方法と同様に製造することができるので、その他の製造プロセスについては説明を省略する。

【００５２】

なお、本実施形態においては、多結晶シリコンからなる多結晶半導体膜を備えたＴＦＴについてのみ説明したが、本発明はシリコン以外の多結晶半導体膜を備えたＴＦＴにも適用可能である。また、多結晶半導体膜に限らず、非晶質半導体膜を備えたＴＦＴにも適用可能である。また、ｎチャネル型のＴＦＴについてのみ説明したが、本発明はｐチャネル型のＴＦＴにも適用可能である。また、本実

施形態では、電気光学装置として液晶装置を取り上げて説明したが、本発明は、ＥＬ装置、プラズマディスプレイなど、ＴＦＴを備えたものであれば、いかなる電気光学装置にも適用可能である。

【００５３】

［電子機器］

次に、本発明の上記実施形態の液晶装置（電気光学装置）を備えた電子機器の具体例について説明する。

図９（ａ）は、携帯電話の一例を示した斜視図である。図９（ａ）において、５００は携帯電話本体を示し、５０１は前記の液晶装置を備えた液晶表示部を示している。

図９（ｂ）は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図９（ｂ）において、６００は情報処理装置、６０１はキーボードなどの入力部、６０３は情報処理本体、６０２は前記の液晶装置を備えた液晶表示部を示している。

図９（ｃ）は、腕時計型電子機器の一例を示した斜視図である。図９（ｃ）において、７００は時計本体を示し、７０１は前記の液晶装置を備えた液晶表示部を示している。

図９（ａ）～（ｃ）に示す電子機器は、上記実施形態の液晶装置を備えたものであるので、性能に優れたものとなる。

【００５４】

【発明の効果】

以上詳述したように、本発明によれば、ゲート電極の側面形状やＬＤＤ長にかかわらず、ＬＤＤ長を精度良く制御することが可能な手段を提供することができる。

【図面の簡単な説明】

【図１】　図１は、本発明に係る実施形態の液晶装置の画像表示領域を構成するマトリクス状に配置された複数のドットにおけるスイッチング素子、信号線等の等価回路図である。

【図２】　図２は、本発明に係る実施形態の液晶装置のＴＦＴアレイ基板の

１ドットを拡大して示す平面図である。

【図３】　図３は、本発明に係る実施形態の液晶装置の構造を示す断面図である。

【図４】　図４（ａ）～（ｃ）は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図５】　図５（ａ）～（ｃ）は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図６】　図６（ａ）～（ｃ）は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図７】　図７（ａ），（ｂ）は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図８】　図８（ａ）、（ｂ）は、本発明に係る実施形態の薄膜半導体装置の製造方法を示す工程図である。

【図９】　図９（ａ）は、上記実施形態の液晶装置を備えた携帯電話の一例を示す図、図９（ｂ）は、上記実施形態の液晶装置を備えた携帯型情報処理装置の一例を示す図、図９（ｃ）は、上記実施形態の液晶装置を備えた腕時計型電子機器の一例を示す図である。

【図１０】　図１０（ａ）～（ｄ）は、ＩＣ等の半導体素子の技術分野において、ＬＤＤ長を制御することが可能な従来の技術を説明するための図である。

【符号の説明】

３０　ＴＦＴ（薄膜半導体装置）

１０Ａ　基板本体（透光性基板）

１０１　非晶質半導体膜

１　多結晶半導体膜

１ｘ　ソース領域

１ｙ　ドレイン領域

１ａ　チャネル領域

１ｂ　低濃度ソース領域（ＬＤＤ領域）

１ｃ　低濃度ドレイン領域（ＬＤＤ領域）

１ｄ　高濃度ソース領域

１ｅ　高濃度ドレイン領域

２　ゲート絶縁膜

３ａ　走査線

３ｃ　ゲート電極

６ａ　データ線

６ｂ　ソース線

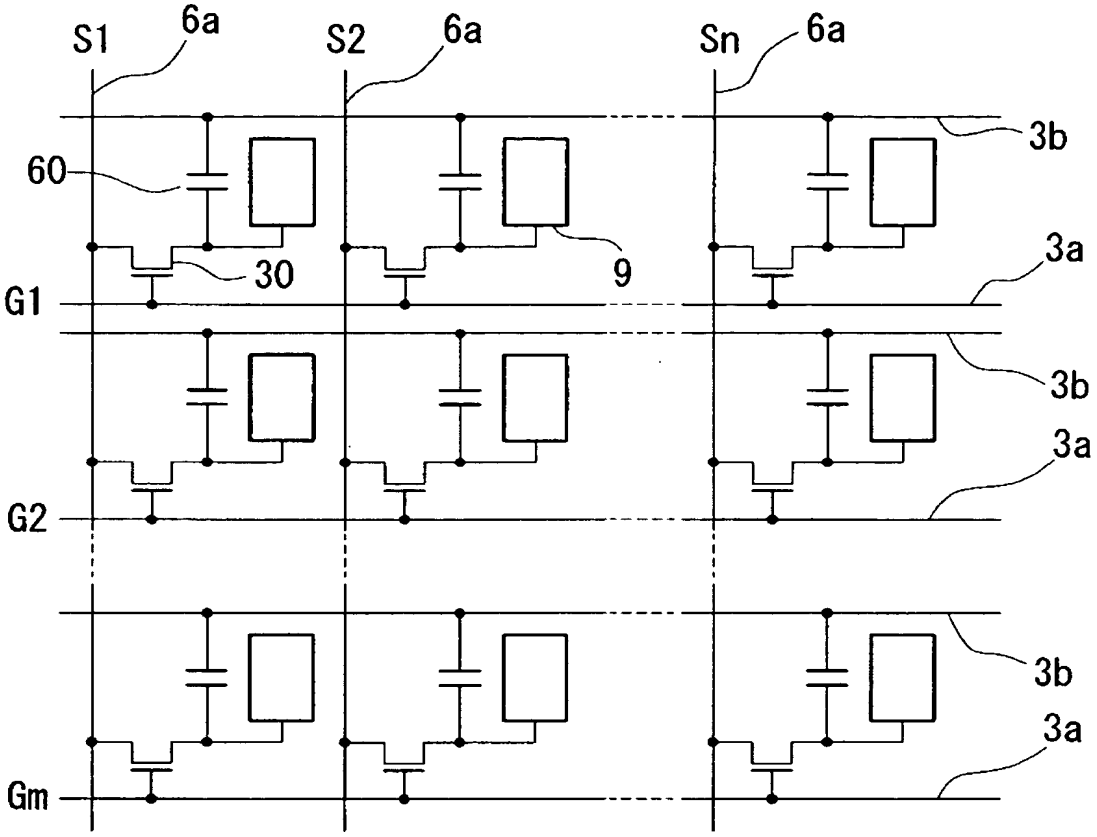
８ａ　第一の絶縁膜

８ｂ　第二の絶縁膜

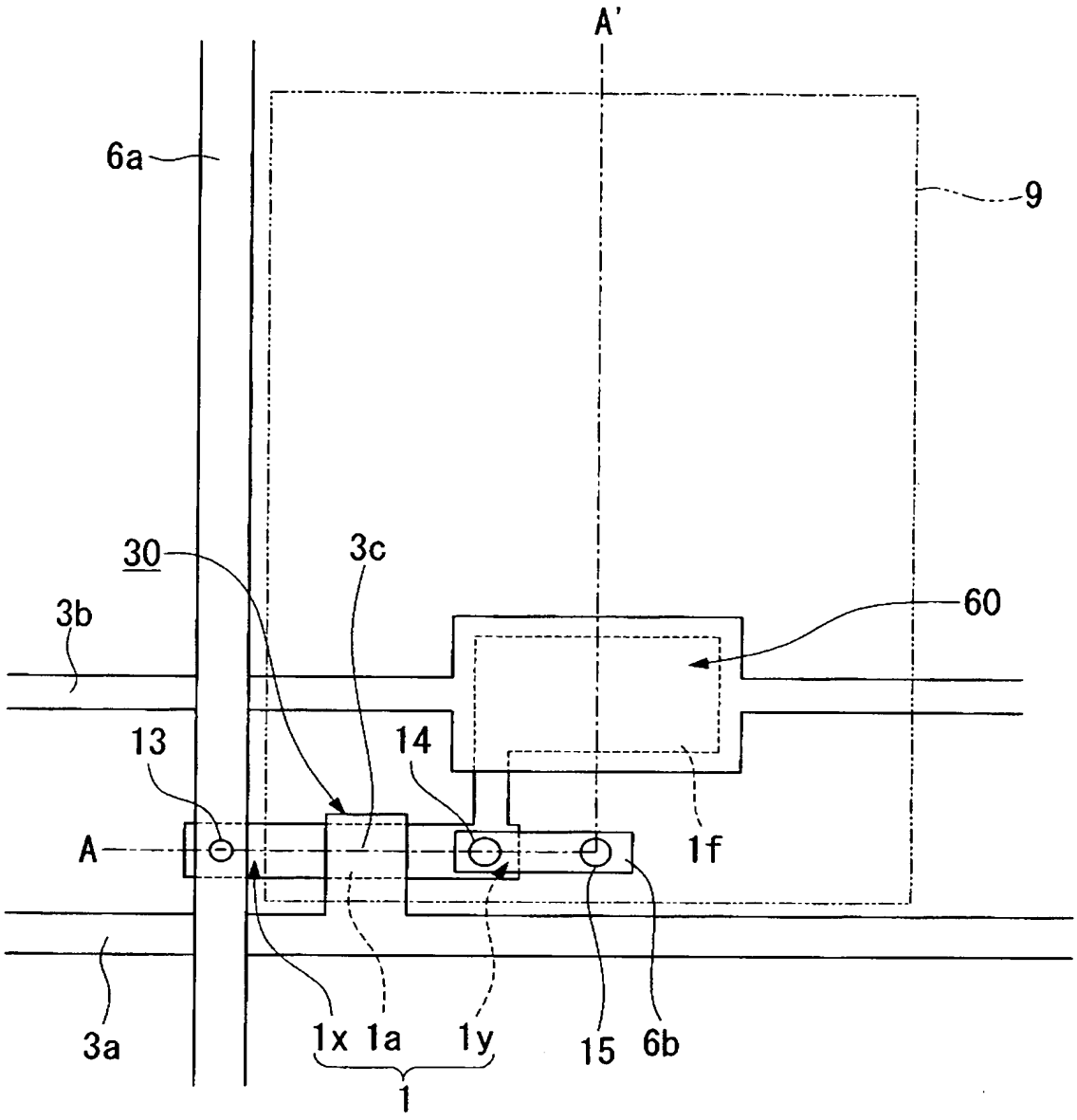
８ｘ　２種類以上の絶縁膜から構成される積層絶縁膜

【書類名】　図面

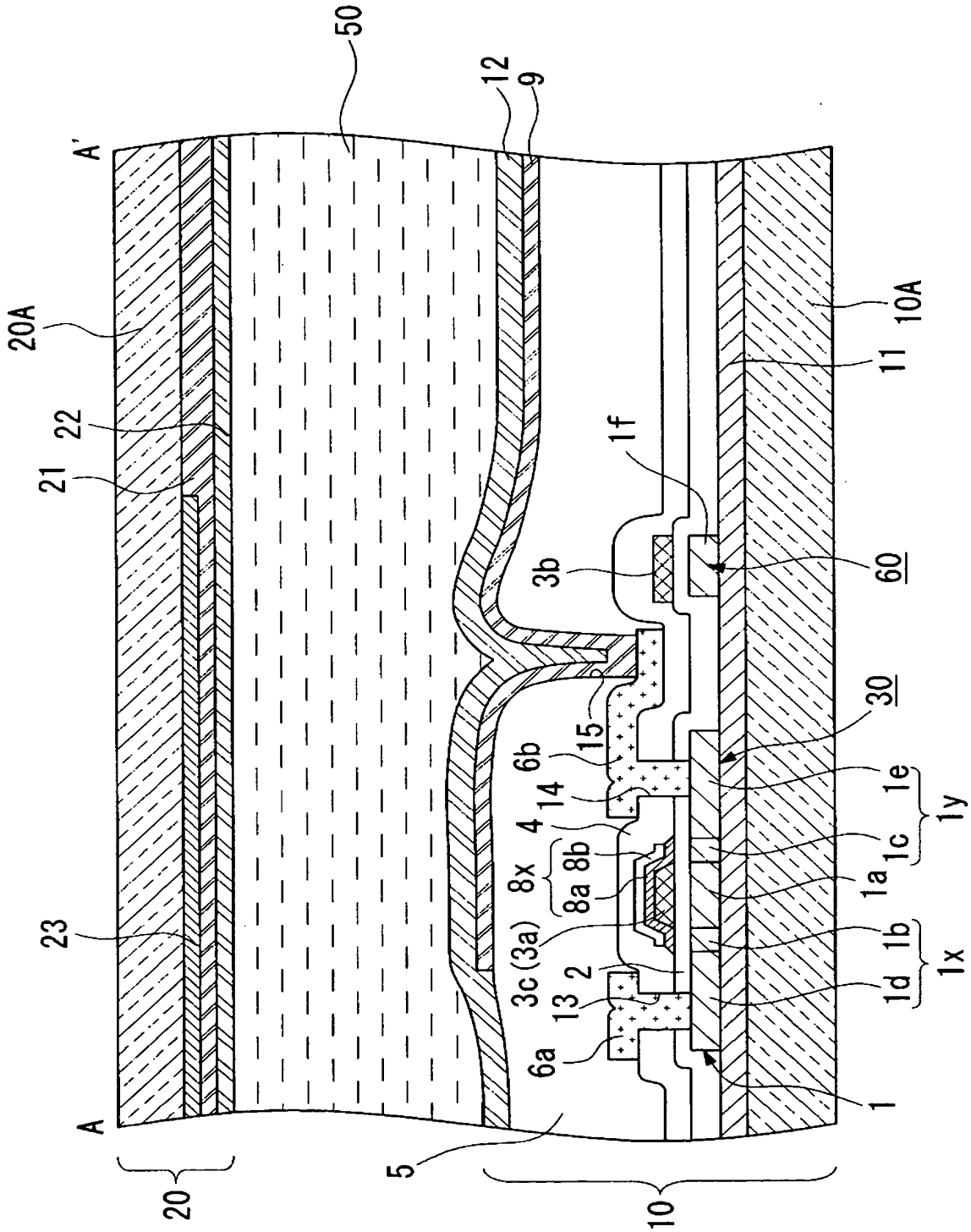
【図１】



【図２】

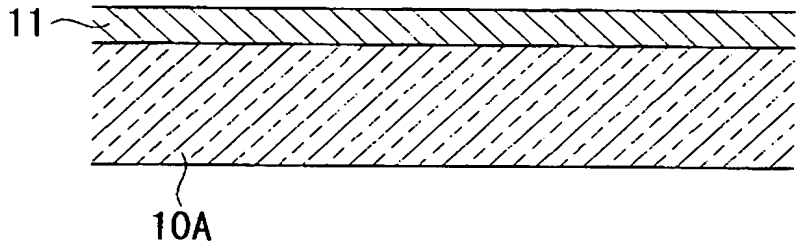


【図３】

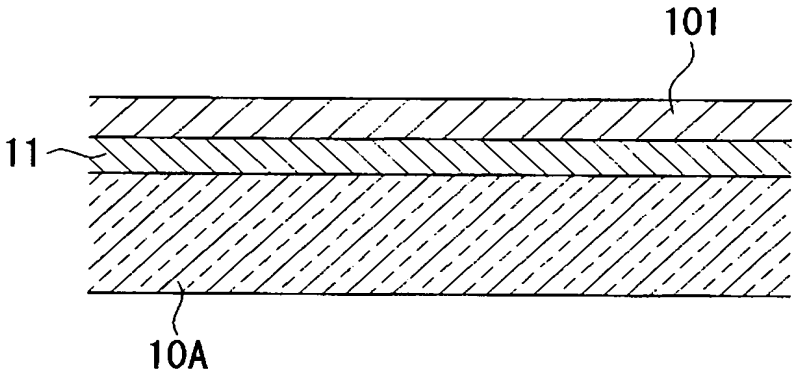

50
12
9
A'
20A
22
21
23
A
20
5
10
10A
11
1f
3b
60
30
15
6b
14
4
8x
8b
8a
3c (3a)
2
13
6a
1
1e
1y
1c
1a
1b
1d
1x

【図４】

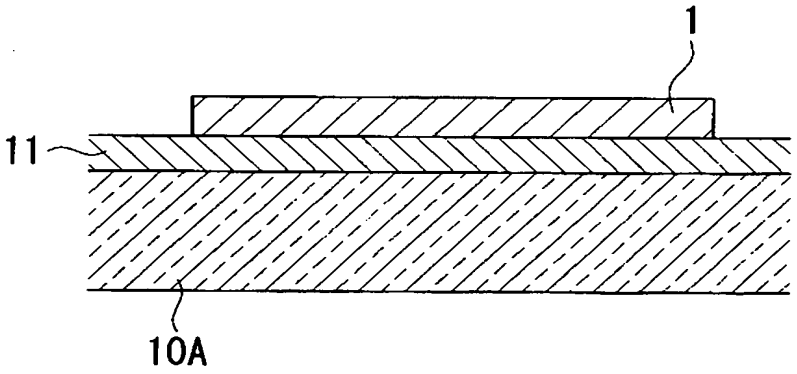
（ａ）



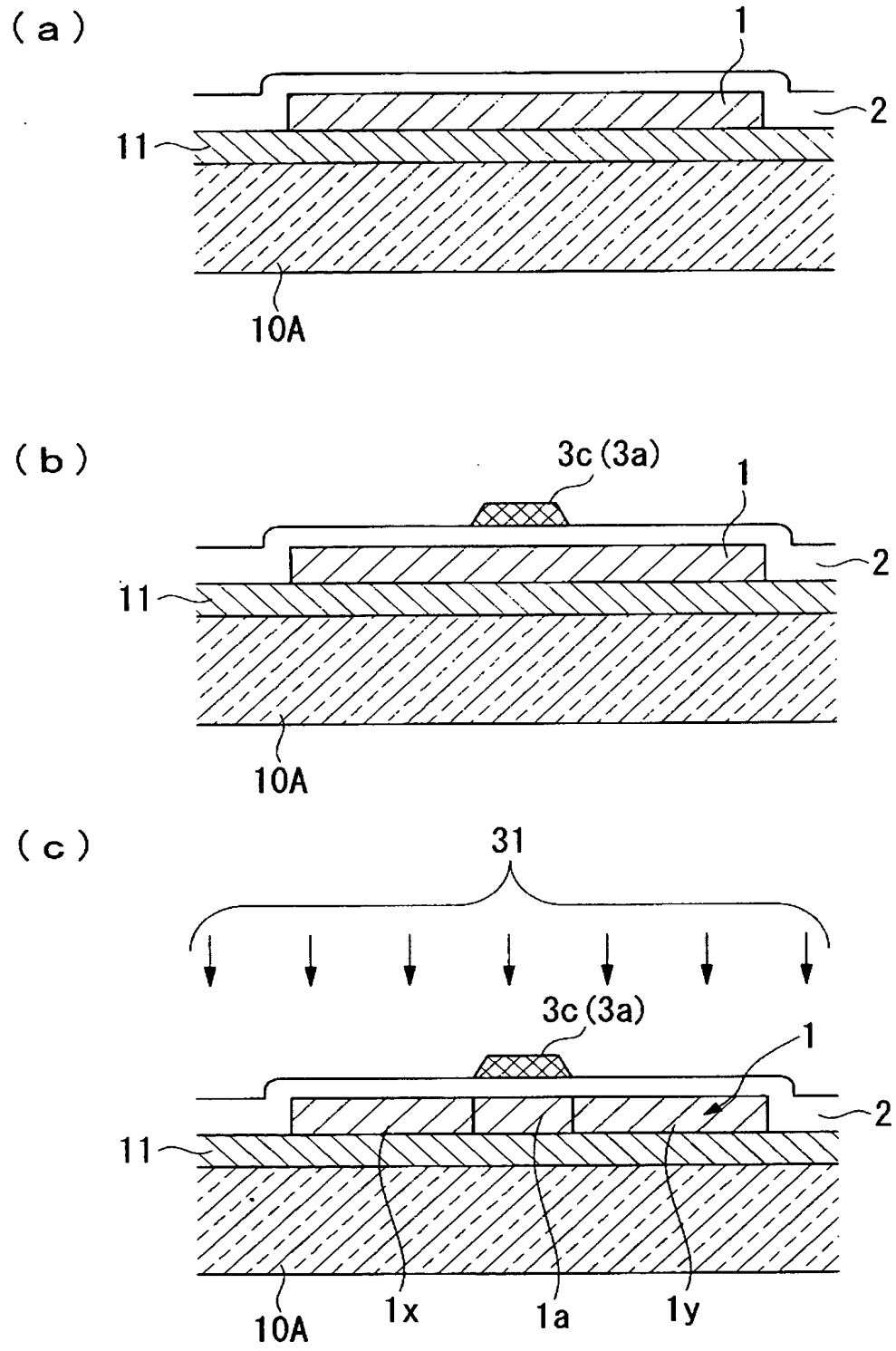
（ｂ）



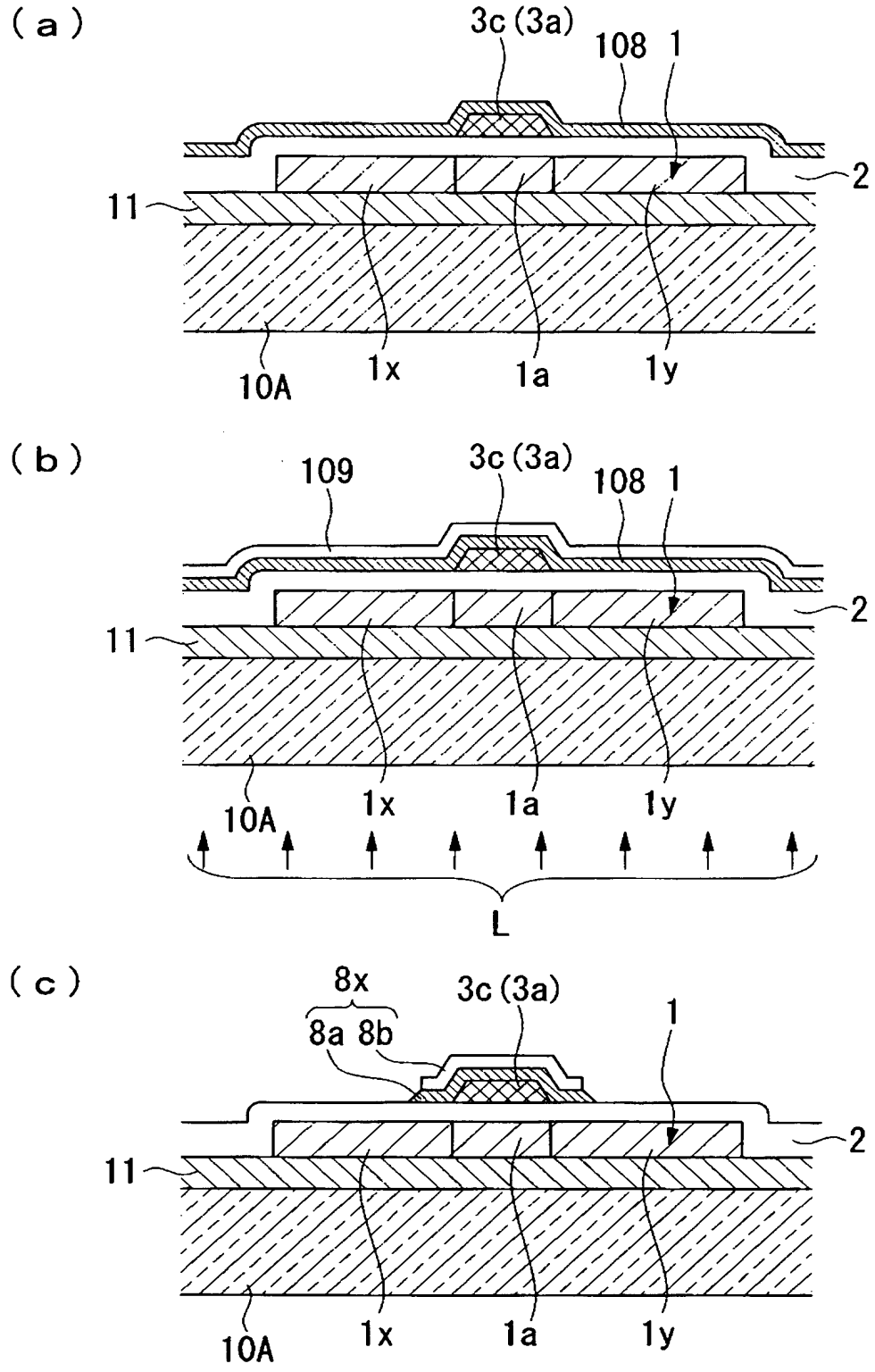
（ｃ）



【図５】

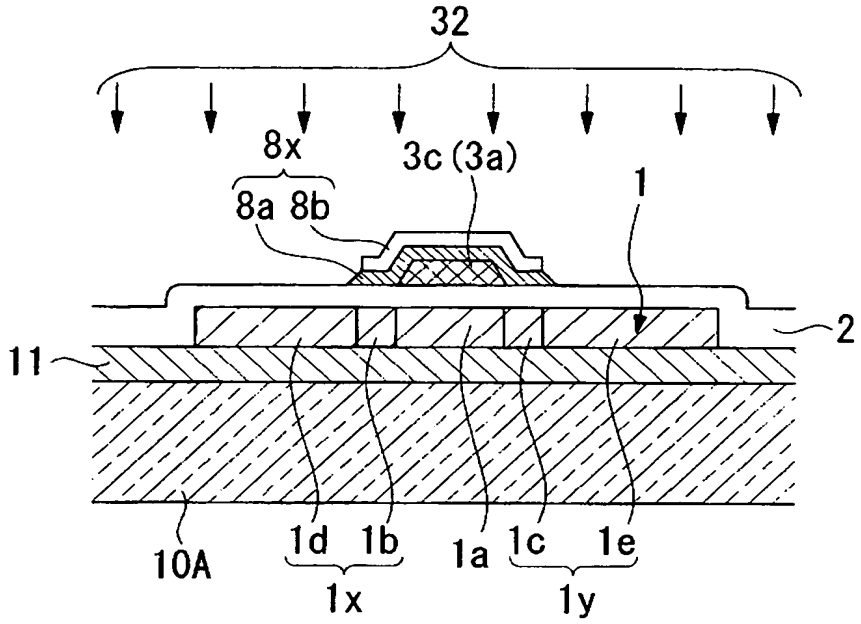


【図６】

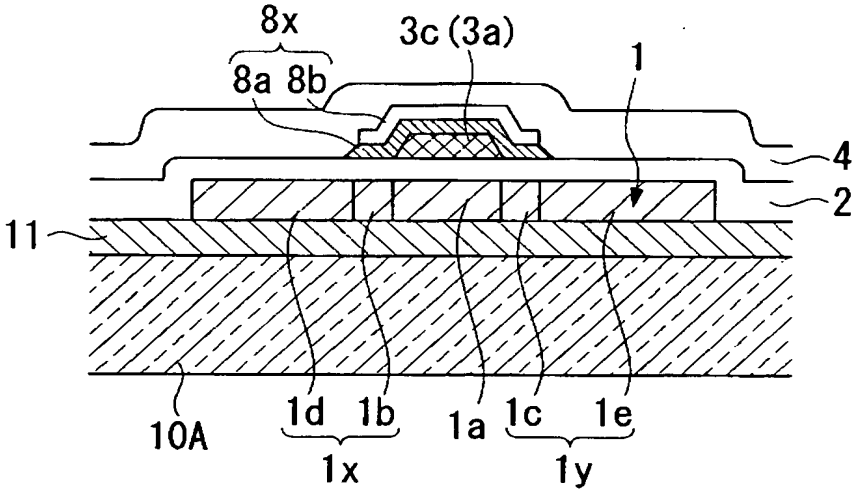

（ａ）
3c (3a)
108
1
2
11
10A
1x
1a
1y
（ｂ）
109
3c (3a)
108
1
2
11
10A
1x
1a
1y
L
（ｃ）
8x
8a 8b
3c (3a)
1
2
11
10A
1x
1a
1y

【図７】

（ａ）

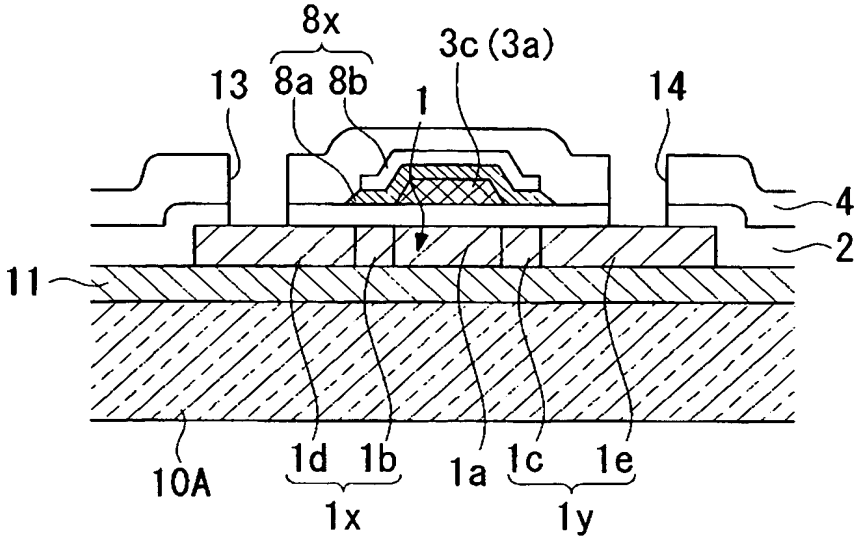

32
8x
8a 8b
3c (3a)
1
2
11
10A
1d 1b
1x
1a
1c 1e
1y

（ｂ）

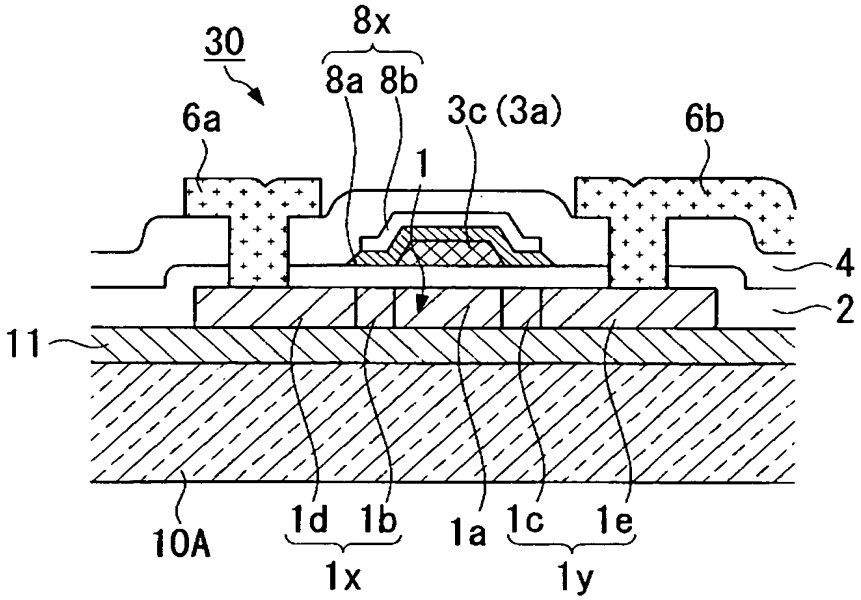

8x
8a 8b
3c (3a)
1
4
2
11
10A
1d 1b
1x
1a
1c 1e
1y

【図８】

（ａ）

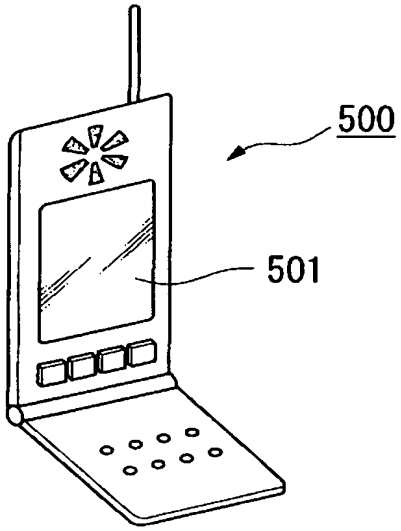

8x
3c (3a)
13
8a 8b
1
14
4
2
11
10A
1d 1b
1a
1c 1e
1x
1y

（ｂ）

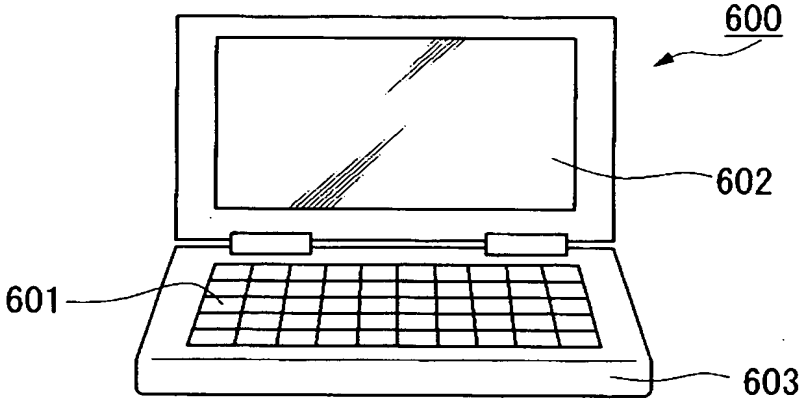

30
8x
8a 8b
3c (3a)
6a
6b
1
4
2
11
10A
1d 1b
1a
1c 1e
1x
1y

【図９】

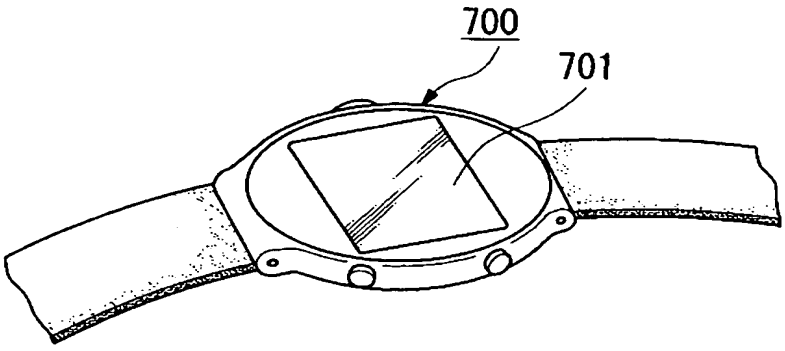
（ａ）



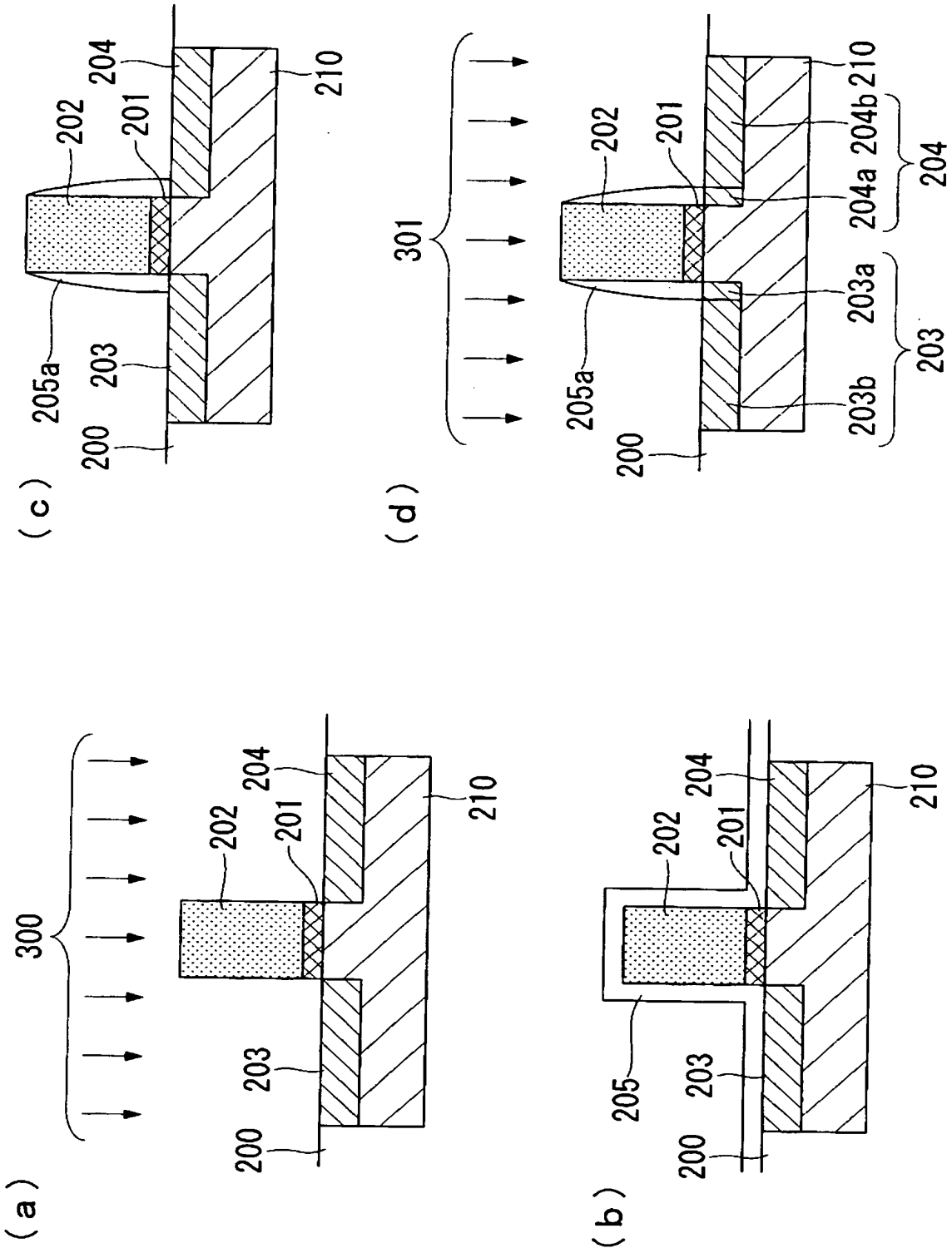
（ｂ）



（ｃ）



【図１０】


(a)
300
200
203
201
202
204
210
(b)
205
200
203
201
202
204
210
(c)
205a
200
203
201
202
204
210
(d)
301
205a
200
203a
203b
203
204a
204b
204
202
201
210

【書類名】　要約書

【要約】

【課題】　ゲート電極の形状やＬＤＤ長にかかわらず、ＬＤＤ長を精度良く制御することが可能な薄膜半導体装置の製造方法を提供する。

【解決手段】　はじめに、基板１０Ａ上に、所定のパターンの半導体膜１、ゲート絶縁膜２、テーパー形状のゲート電極３ｃを順次形成し、ゲート電極３ｃをマスクとして半導体膜１に低濃度の不純物を注入する。次に、ゲート電極３ｃを形成した透光性基板１０Ａ上に、２種類以上の絶縁膜からなる積層絶縁膜を形成し、エッチングレートが第一の絶縁膜８aが第二の絶縁膜８ｂの方より小さい条件で全面エッチングを行ない、少なくとも１層の絶縁膜がゲート電極３ｃより幅広でかつ半導体膜１より幅狭の所定のパターンになる様に積層絶縁膜８ｘを形成する。次に、積層絶縁膜８ｘをマスクとして、半導体膜１に高濃度の不純物を注入する。

【選択図】　図７

認定・付加情報

特許出願の番号	特願２００３－１２１６７３
受付番号	５０３００６９９４１
書類名	特許願
担当官	小島　えみ子　　２１８２
作成日	平成１５年　５月１９日

＜認定情報・付加情報＞

【特許出願人】
- 【識別番号】 000002369
- 【住所又は居所】 東京都新宿区西新宿２丁目４番１号
- 【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人
- 【識別番号】 100089037
- 【住所又は居所】 東京都新宿区高田馬場３丁目２３番３号　ＯＲビル　志賀国際特許事務所
- 【氏名又は名称】 渡邊　隆

【代理人】
- 【識別番号】 100064908
- 【住所又は居所】 東京都新宿区高田馬場３丁目２３番３号　ＯＲビル　志賀国際特許事務所
- 【氏名又は名称】 志賀　正武

【選任した代理人】
- 【識別番号】 100110364
- 【住所又は居所】 東京都新宿区高田馬場３丁目２３番３号　ＯＲビル志賀国際特許事務所
- 【氏名又は名称】 実広　信哉

次頁無

特願２００３－１２１６７３

出　願　人　履　歴　情　報

識別番号　［０００００２３６９］

１．変更年月日　１９９０年　８月２０日
［変更理由］　新規登録
住　所　東京都新宿区西新宿２丁目４番１号
氏　名　セイコーエプソン株式会社